

PAT-NO: JP409097876A
DOCUMENT-IDENTIFIER: JP 09097876 A
TITLE: SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE
PUBN-DATE: April 8, 1997

INVENTOR-INFORMATION:
NAME
HONNA, MASARU

ASSIGNEE-INFORMATION:
NAME COUNTRY
TOSHIBA CORP N/A

APPL-NO: JP07254783
APPL-DATE: October 2, 1995

INT-CL (IPC): H01L027/04, H01L021/822 , H01L021/265

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce the error of the total resistance value of polycrystalline silicon resistors composed of polycrystalline silicon films and diffusion resistors composed of diffusion layers connected in series resulting from the error of the forming accuracy of the resistors by forming the diffusion resistors by introducing an impurity into a substrate by using the polycrystalline silicon resistors formed on an insulating film as a mask.

SOLUTION: Diffusion resistors 41a are formed by implanting impurity ions into a substrate by using polycrystalline silicon resistors

31a as a mask.

When the widths $W1$ of the resistors 31a become wider than a desired value, the widths $W2$ of the diffusion resistors 41a formed by using the resistors 31a as a mask become narrower unless the absolute forming area of the resistor elements 41a and 31a changes. Even when the widths $W1$ become narrower than the desired value and an error occurs in the forming accuracy of the resistors 31a and 41a, the sum of the widths $W1$ and $W2$ always becomes constant. Consequently, even when the cross-sectional areas of the resistors 31a decrease or increase due to the forming error, the cross-sectional areas of the resistors 41a which are used in paired states with the resistors 31a increase or decrease. Therefore, the total resistance value of the resistors 31a and 41a connected in series offsets the forming error and approaches a desired value.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-97876

(43) 公開日 平成9年(1997)4月8日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04			H 0 1 L 27/04	R
21/822			21/265	J
21/265			27/04	P

審査請求 未請求 請求項の数7 O L (全 5 頁)

(21) 出願番号 特願平7-254783

(22) 出願日 平成7年(1995)10月2日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 本名 勝

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

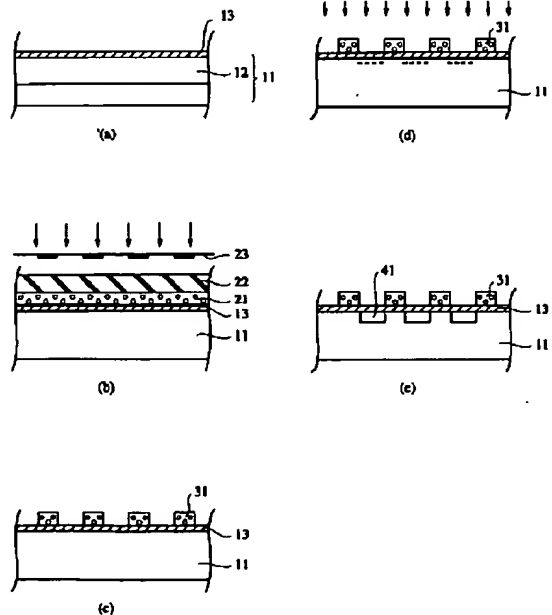
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 多結晶シリコン抵抗や拡散抵抗の製造方法において、加工精度の誤差によりこれら抵抗素子の幅、すなわち断面積に誤差が生じ、形成された抵抗素子の抵抗値に誤差が生じる。また、抵抗素子の断面積を増加させ、加工精度の誤差の影響を低減させる方法では、チップ面積の増大やコストの上昇を招く。

【解決手段】 半導体基板11上に多結晶シリコンを形成し、これを露光、現像し、所定の幅W1を有する多結晶シリコン抵抗31を形成する。次に半導体基板11内に、多結晶シリコン抵抗31をマスクとしてイオン注入を行い、所定の幅W2を有する拡散抵抗41を形成する。次に多結晶シリコン抵抗31の一端と拡散抵抗41の一端とを直列に接続し、抵抗素子を形成する。



1

【特許請求の範囲】

【請求項1】 隣接した第一、第二領域を有する第一導電型の半導体基板と、

少なくとも前記第一領域の半導体基板上に形成された第一絶縁膜と、

前記第一絶縁膜上に形成された第一抵抗膜と、

前記第二領域の半導体基板内に形成された第二導電型の第一拡散層と、

前記第一抵抗膜及び前記第一拡散層の一端同士を電氣的に接続する手段とを有し、

前記第一抵抗膜の他端と前記第一拡散層の他端とを出入力端子とする抵抗素子を具備することを特徴とする半導体装置。

【請求項2】 前記第一と第二領域は互いに平行であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記抵抗膜は不純物が導入された多結晶シリコンよりなることを特徴とする半導体装置。

【請求項4】 前記第二領域に隣接する第三領域を有し、前記第三領域の半導体基板上に形成された第二絶縁膜と、前記第二絶縁膜上に形成された第二抵抗膜とを有することを特徴とする半導体装置。

【請求項5】 前記第一領域に隣接する第四領域を有し、前記第四領域の半導体基板内に形成された第二拡散層を有することを特徴とする半導体装置。

【請求項6】 前記第三または第四領域は、前記第二または第一領域に平行であることを特徴とする請求項1または2記載の半導体装置。

【請求項7】 第一導電型半導体基板の第一領域表面上に絶縁膜を形成する工程と、

前記絶縁膜表面上に抵抗膜を形成する工程と、

前記抵抗膜をマスクとして前記半導体基板の第二領域内の半導体基板内に第二導電型不純物を導入し拡散層を形成する工程と、

前記抵抗膜の一端と前記拡散層の一端とを電氣的に接続する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法、特に半導体集積回路に使用される抵抗素子を有する半導体装置とその製造方法に関する。

【0002】

【従来の技術】半導体集積回路において使用される抵抗素子としては、半導体基板の絶縁膜上に所定の幅で形成した多結晶シリコンに不純物を導入して形成した多結晶シリコン抵抗や、半導体基板内に所定の幅で不純物を導入して形成した拡散抵抗等がある。これらの抵抗素子の抵抗値の制御は、それぞれに導入する不純物の濃度を調整したり、長さや幅等を調整することにより行っている。

2

【0003】次にこれら従来の抵抗素子の形成方法について簡単に説明する。図3は多結晶シリコン抵抗の製造方法について説明する断面図である。まず図3(a)に示すように、シリコン半導体基板111を用意する。次にこの基板111表面上に、熱酸化法やCVD法等により酸化膜112を形成する。この酸化膜112は基板111上の他の半導体素子、例えばトランジスタ等を製造する際に形成するゲート酸化膜等と同様のものである。

【0004】続いて図3(b)に示すように、酸化膜112表面上にCVD法等により多結晶シリコン121を形成する。次にこの多結晶シリコン121上にポジ型フォトリソグラフ122を形成し、多結晶シリコン121を残す部分のみ露光を遮断する露光用マスク123を用い、レジスト122を露光する。

【0005】続いて図3(c)に示すように、露光したレジスト122を現像し、図示せぬレジストマスクを形成した後、このレジストマスクを用いてRIE法等により多結晶シリコン121をエッチングし、レジストマスクを除去することにより、酸化膜112上に所定のパターンの多結晶シリコン抵抗131が形成される。続いて図示はしないが基板111上に層間絶縁膜を形成した後、この層間絶縁膜にコンタクト孔を形成し、多結晶シリコン抵抗131の端部を導電膜により配線する。図4は拡散抵抗の製造方法について説明する断面図である。

【0006】まず図4(a)に示すように、N型のシリコン半導体基板211を用意する。この基板211は、エピタキシャル層や埋め込み層でもよい。次に拡散抵抗を形成する領域の基板211上に窒化膜212を形成する。次に熱処理を行うことにより、窒化膜212が形成された領域以外の基板211は酸化され、素子分離用酸化膜213が形成される。次に窒化膜212を除去する。この方法はLOCOS法と呼ばれている一般的な方法である。尚、この素子分離用酸化膜の形成方法としては、この他、基板211内に酸化膜を埋め込む方法等もある。

【0007】続いて図4(b)に示すように、素子分離用絶縁膜213をイオン注入のマスクとして、基板211上より基板211とは反対導電型のP型不純物をイオン注入221する。このイオン注入221は、基板111上の他の半導体素子、例えばトランジスタ等を製造する際の不純物領域の形成のためのイオン注入等と同時にする場合もある。

【0008】続いて図4(c)に示すように、熱処理を行うことにより、基板211にイオン注入された不純物が拡散し、基板とは反対導電型の拡散抵抗231が形成される。次に図示はしないが基板211上に層間絶縁膜を形成した後、この層間絶縁膜にコンタクト孔を形成し、拡散抵抗131の端部を導電膜により配線する。

【0009】上記に説明した製造方法によれば、次に示

ような問題点がある。多結晶シリコン抵抗の製造工程においては、レジストマスクの形成工程において、露光精度や現像精度等の加工精度の誤差によりレジストマスクの幅に誤差が生じる。この誤差を有するレジストマスクをマスクとして多結晶シリコンのパターニングを行うと、形成される多結晶シリコン抵抗自体の幅すなわち断面積に誤差が生じ、結果として多結晶シリコン抵抗の抵抗値に誤差が生じる。

【0010】また拡散抵抗の形成工程においても、素子分離用酸化膜の形成工程において、酸化マスクとして用いる窒化膜の加工精度の誤差により、素子分離用酸化膜間の幅、すなわち拡散抵抗の形成領域の幅に誤差が生じる。また素子分離用酸化膜をイオン注入のマスクとして用いているため、このバースピーク等の発生により素子分離用酸化膜の膜厚を正確に制御することが困難な場合には、基板に導入される不純物量等にも誤差が生じる。従って拡散抵抗自体の幅すなわち断面積に誤差が生じ、結果として拡散抵抗の抵抗値に誤差が生じる。

【0011】抵抗素子の抵抗値に誤差が生じた場合は、その抵抗素子を要素とする集積回路において所望の動作特性が得られなかったり、誤動作が生じる等といった問題を生じる場合がある。また拡散抵抗を形成する場合には、イオン注入のマスクとして用いる素子分離酸化膜等が必要となるが、この素子分離用酸化膜を形成するための領域や、素子分離用酸化膜を形成するための工程数が増加する。

【0012】これら抵抗素子の幅方向の誤差による抵抗値の誤差を抑制するために、抵抗素子の幅を増加させ、加工精度の誤差の影響を低減させる方法があるが、この方法によれば、一定の抵抗値を得るために抵抗素子の断面積を増大させる必要があり、チップ面積の増大やコストの上昇を招くことになる。

【0013】

【発明が解決しようとする課題】上記のように、従来の多結晶シリコン抵抗や拡散抵抗の製造方法においては、その加工精度の誤差により、主にこれら抵抗素子の幅、すなわち断面積に誤差が生じ、形成された抵抗素子の抵抗値に誤差が生じるという問題点がある。このため抵抗素子の断面積を増加させ、加工精度の誤差の影響を低減させる方法があるが、この結果チップ面積の増大やコストの上昇を招くという問題点がある。

【0014】

【課題を解決するための手段】本発明は上記の問題点を解決するため、以下に示すような半導体装置の製造方法を提供すると共に、この製造方法により製造された半導体装置を提供するものである。すなわち、隣接した第一、第二領域を有する第一導電型の半導体基板と、少なくとも前記第一領域の半導体基板上に形成された第一絶縁膜と、前記第一絶縁膜上に形成された第一抵抗膜と、前記第二領域の半導体基板上に形成された第二導電型の

第一拡散層と、前記第一抵抗膜及び前記第一拡散層の一端同士を電氣的に接続する手段とを有し前記第一抵抗膜の他端と前記第一拡散層の他端とを出入力端子とする抵抗素子を具備する事を特徴とする半導体装置を提供する。またその製造方法として第一導電型半導体基板の第一領域表面上に絶縁膜を形成する工程と、前記絶縁膜表面上に抵抗膜を形成する工程と、前記抵抗膜をマスクとして前記半導体基板の第二領域内の半導体基板上に第二導電型不純物を導入し拡散層を形成する工程と、前記抵抗膜の一端と前記拡散層の一端とを電氣的に接続する工程とを有することを特徴とする半導体装置の製造方法を提供する。

【0015】

【発明の実施の形態】本発明の実施例の製造方法について、以下、断面図や斜視図を参照しながら説明する。まず図1(a)に示すように、Nウェル領域12が形成されたP型シリコン基板11を用意する。次にこの基板11表面上に、熱酸化法やCVD法等により膜厚100～1000nm程度の酸化膜13を形成する。尚、この酸化膜13は基板11上の他の半導体素子、例えばトランジスタ等を製造する際に形成するゲート酸化膜等と同様のものが多い。

【0016】続いて図1(b)に示すように、酸化膜13表面上に、CVD法等により膜厚100～500nm程度の多結晶シリコン21を形成する。次に多結晶シリコン21上にポジ型フォトリソレジスト22を形成し、多結晶シリコン21を残す部分のみ露光を遮断する露光用マスク23を用い、レジスト22を露光する。ここで露光するレジスト22の幅は、多結晶シリコン21を残す部分の幅と同程度とするのが望ましい。また多結晶シリコン抵抗を複数形成する場合には、これらを平行に形成するのが望ましい。

【0017】続いて図1(c)に示すように、露光したレジスト22を現像し、図示せぬレジストマスクを形成した後、このレジストマスクを用いてRIE法等により多結晶シリコン21をエッチングし、レジストマスクを除去することにより、酸化膜13上に所定の幅を有する複数の多結晶シリコン抵抗31が形成される。この多結晶シリコン抵抗31の幅は4～50μm程度、またその長さは10～5000μm程度とする。

【0018】続いて図1(d)に示すように、多結晶シリコン抵抗31をマスクとして基板11に、基板11とは反対導電型の不純物、例えばBを加速エネルギー5～100keV、ドーズ量1E13～5E15atoms/cm²でイオン注入する。この際、多結晶シリコン抵抗31中にもイオン注入が行われる。

【0019】続いて図1(e)に示すように、熱処理を行うことにより、表面上に多結晶シリコン抵抗31が形成されていない基板11の領域に拡散抵抗41が形成される。以上の工程により、基板11上には多結晶シリコ

5

ン抵抗31が、また基板11内には拡散抵抗41が形成される。

【0020】続いて図示はしないが基板11上に層間絶縁膜を形成した後、この層間絶縁膜或いは層間絶縁膜と酸化膜13にコンタクト孔を形成し、多結晶シリコン抵抗31の一端と、隣接する領域下の拡散抵抗41の一端とを導電膜により配線する。

【0021】続いて図2の上面図を用いて、形成した多結晶シリコン抵抗と拡散抵抗の接続方法についてと、本発明の製造方法及びそれにより製造された半導体装置の10 効果について説明する。尚、図2において図1と同一の構成物については同一の符号を付している。

【0022】本発明の抵抗素子は、多結晶シリコン抵抗31と、この多結晶シリコン抵抗31に隣接する領域下に形成された拡散抵抗41とを一对として用いる。すなわち多結晶シリコン抵抗31aの一端に端子51を形成し、この多結晶シリコン抵抗31aの他端と拡散抵抗41aの一端とを端子52により電氣的に接続し、この拡散抵抗41aの他端に端子53を形成する。よって抵抗素子としては、多結晶シリコン抵抗31aと拡散抵抗41aとが直列に接続されて用いられる。さらにこの他、これらの抵抗に隣接する多結晶シリコン抵抗31bと拡散抵抗41bとを端子54により直列に接続したもの、さらに端子53と端子54とを接続して用いる等、隣接する多結晶シリコン抵抗や拡散抵抗を直列に接続することにより形成する抵抗素子の抵抗値を、設計の段階にて任意に選択することができる。尚、これらの端子52～55は、層間絶縁膜にコンタクト孔を形成し、このコンタクト孔に導電膜を埋め込むことにより形成する。

【0023】上記のように接続された抵抗素子について20 30 は、次に示すような効果を有する。従来の製造方法によれば、加工精度の誤差により、主に抵抗素子の幅、すなわち断面積に誤差が生じ、抵抗値に誤差が生じるという問題点があった。これは主にフォトリソの露光精度や現像精度に起因するものである。本発明においてはこれらに起因する加工精度の誤差によって生じる抵抗素子の抵抗値の誤差を低減させることができる。

【0024】図2において多結晶シリコン抵抗31aの図中横方向の幅をW1とし、拡散抵抗41aの図面横方向の幅をW2とする。多結晶シリコン抵抗を形成する際に、レジストマスクに幅の誤差が生じた場合、その誤差は多結晶シリコン抵抗の幅の誤差となる。すなわち多結晶シリコン抵抗の幅W1は、広くなったり、或いは狭くなったりと、設計した値に対して誤差が生じる場合がある。一方、拡散抵抗41は多結晶シリコン抵抗31をイオン注入のマスクとして形成される。従って、多結晶シリコン抵抗の幅W1に誤差が生じている場合には、当然拡散抵抗の幅W2にも誤差が生じる。

【0025】しかしながら、多結晶シリコン膜の幅W1が所望の値より広くなった場合、これをマスクとして形

6

成される拡散抵抗の幅W2は、これら抵抗素子が形成される絶対的な面積が変わらない限りは、狭くなる。またこれと反対に、多結晶シリコン膜の幅W1が狭くなった場合、これをマスクとして形成される拡散抵抗の幅W2は広くなる。すなわちW1とW2との和の値は、加工精度に誤差が生じた場合でも常に一定となる。

【0026】よって多結晶シリコン抵抗の断面積が加工精度の誤差により減少或いは増加し、抵抗値が所望の値より増加或いは減少したとしても、これと一对で用いられる拡散抵抗の断面積は増加或いは減少し、抵抗値は減少或いは増加するため、直列に接続されるこれら一对の多結晶シリコン膜と拡散抵抗との合計の抵抗値は、加工精度の誤差を相殺することになり、所望の値に近づくことになる。

【0027】尚、この効果は、多結晶シリコン抵抗と拡散抵抗の単位体積当たりの抵抗値が、等しい値に近づくほど、顕著となる。またこれらの単位体積当たりの抵抗値が異なっている場合にも、上記に示した効果を有する。また、多結晶シリコン抵抗の幅と、拡散抵抗の幅を等しく設計する方が望ましい。

【0028】また多結晶シリコン抵抗の単位体積当たりの抵抗率と、拡散抵抗の単位体積当たりの抵抗率が異なる場合には、多結晶シリコン抵抗または拡散抵抗の一部の縦方向の長さを制御することによって、抵抗率の違いによる誤差を低減することもできる。

【0029】

【発明の効果】従来の製造方法によれば、加工精度の誤差により、主に抵抗素子の幅、すなわち断面積に誤差が生じ、抵抗値に誤差が生じるという問題点があったが、本発明においては、これらに起因する加工精度の誤差によって生じる抵抗素子の抵抗値の誤差を低減させることができ、集積回路中に用いられる抵抗素子を、精度良く拡散抵抗と多結晶シリコン抵抗との組み合わせにより形成することができる。従って、抵抗素子の精度の悪化による集積回路の誤動作等の問題点を解決することができる。

【図面の簡単な説明】

【図1】本発明の製造方法を説明する断面図。

【図2】本発明の半導体装置の接続方法及び効果を説明する上面図。

【図3】従来の抵抗素子の製造方法を説明する断面図。

【図4】従来の抵抗素子の製造方法を説明する断面図。

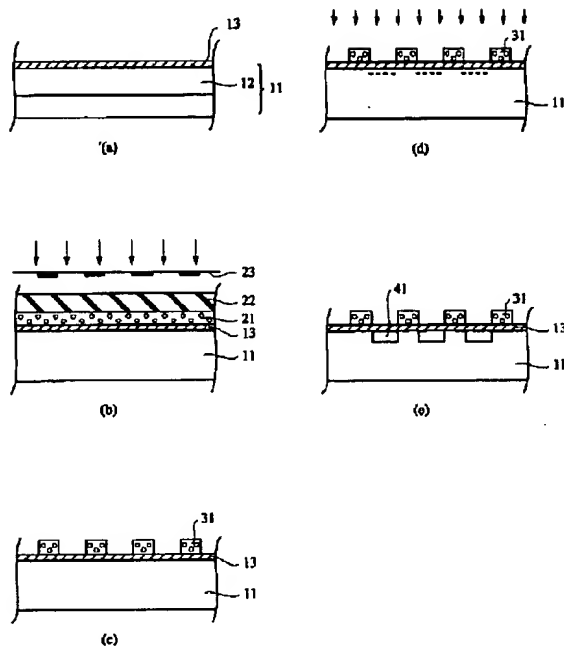
【符号の説明】

- 11、111 P型シリコン基板
- 12 Nウェル領域
- 13、112 酸化膜
- 21、121 多結晶シリコン
- 22、122 ポジ型フォトリソ
- 23、123 露光用マスク
- 31、131 多結晶シリコン抵抗

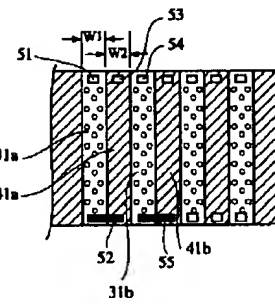
7
 41、231 拡散抵抗
 51、52、53、54、55 端子
 131 レジストマスク
 211 N型シリコン基板
 212 窒化膜

8
 213 素子分離用酸化膜
 221 イオン注入
 W1 多結晶シリコン抵抗の幅
 W2 拡散抵抗の幅

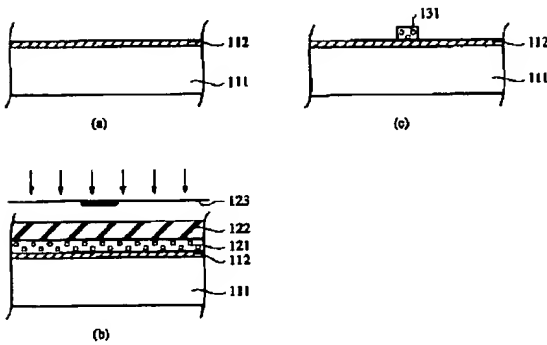
【図1】



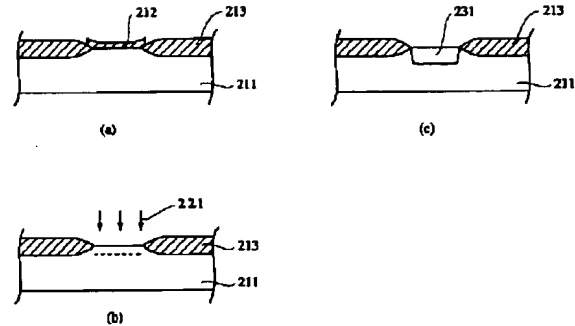
【図2】



【図3】



【図4】



DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device which has the resistance element used for a semiconductor device and its manufacture approach, especially a semiconductor integrated circuit, and its manufacture approach.

[0002]

[Description of the Prior Art] There are polycrystalline silicon resistance which introduced and formed the impurity in the polycrystalline silicon formed by predetermined width of face on the insulator layer of a semi-conductor substrate as a resistance element used in a semiconductor integrated circuit, a diffused resistor which introduced and formed the impurity by predetermined width of face in the semi-conductor substrate. Control of the resistance of these resistance elements is performed by adjusting the concentration of the impurity introduced into each, or adjusting die length, width of face, etc.

[0003] Next, the formation approach of the resistance element of these former is explained briefly. Drawing 3 is a sectional view explaining the manufacture approach of polycrystalline silicon resistance. As first shown in drawing 3 (a), the silicon semi-conductor substrate 111 is prepared. Next, on this substrate 111 front face, an oxide film 112 is formed with the oxidizing [thermally] method, a CVD method, etc. This oxide film 112 is the same as that of the gate oxide formed in case other semiconductor devices on a substrate, for example, a transistor etc., are manufactured.

[0004] Then, as shown in drawing 3 (b), polycrystalline silicon 121 is formed with a CVD method etc. on oxide-film 112 front face. Next, the positive type photoresist 122 is formed on this polycrystalline silicon 121, and only the part which leaves polycrystalline silicon 121 exposes a resist 122 using the mask 123 for exposure which intercepts exposure light.

[0005] Then, as shown in drawing 3 (c), the exposed resist 122 is developed, and after forming the resist mask which is not illustrated, the polycrystalline silicon resistance 131 of a predetermined pattern is formed on an oxide film 112 by etching polycrystalline silicon 121 by the RIE method etc. using this resist mask, and removing a resist mask. Then, although illustration is not carried out, after forming an interlayer insulation film on a substrate 111, a contact hole is formed in this interlayer insulation film, and the edge of the polycrystalline silicon resistance 131 is wired with the electric conduction film. Drawing 4 is a sectional view explaining the manufacture approach of a diffused resistor.

[0006] As first shown in drawing 4 (a), the silicon semi-conductor substrate 211 of N type is prepared. An epitaxial layer and an embedding layer are sufficient as this substrate 211. Next, a nitride 212 is formed on the substrate 211 of the field which forms a diffused resistor. Next, by heat-treating, substrates 211 other than the field in which the nitride 212 was formed oxidize, and the oxide film 213 for isolation is formed. Next, a nitride 212 is removed. This approach is a general approach currently called the LOCOS method. In addition, in addition to this as the formation approach of this oxide film for isolation, there is the approach of embedding an oxide film in a substrate 211 etc.

[0007] Then, as shown in drawing 4 (b), the P type impurity of an opposite conductivity type is carried out for the insulator layer 213 for isolation ion-implantation 221 in a substrate 211 from a substrate 211 top as a mask of an ion implantation. This ion implantation 221 may be performed to the ion implantation etc. and coincidence for formation of the impurity range at the time of manufacturing other semiconductor devices on a substrate, for example, a transistor etc.

[0008] Then, as shown in drawing 4 (c), by heat-treating, the impurity by which the ion implantation was carried out to the substrate 211 is spread, and the diffused resistor 231 of an opposite conductivity type is formed with a substrate. Next, although illustration is not carried out, after forming an interlayer insulation film on a substrate 211, a contact hole is formed in this interlayer insulation film, and the edge of a diffused resistor 131 is wired with the electric conduction film.

[0009] According to the manufacture approach explained above, there is a trouble as shown below. In the production process of polycrystalline silicon resistance, an error arises to the width of face of a resist mask according to the error of process tolerance, such as exposure precision and development precision, in the formation process of a resist mask. If patterning of polycrystalline silicon is performed by using as a mask the resist mask which has this error, an error will arise, the width of face, i.e., the cross section, of the polycrystalline silicon resistance [itself] formed, and an error will arise in the resistance of polycrystalline silicon resistance as a result.

[0010] Moreover, also in the formation process of a diffused resistor, an error arises to the width of face between the oxide films for isolation, i.e., the width of face of the formation field of a diffused resistor, in the formation process of the oxide film for isolation according to the error of the process tolerance of the nitride used as an oxidation mask. Moreover, since the oxide film for isolation is used as a mask of an ion implantation, when it is difficult to control the thickness of the oxide film for isolation by generating of this BAZU peak etc. correctly, an error arises in the amount of impurities introduced into a substrate. Therefore, an error arises, the width of face, i.e., the cross section, of the diffused resistor itself, and an error arises in the resistance of a diffused resistor as a result.

[0011] When an error arises in the resistance of a resistance element, the problem that a desired operating characteristic is not acquired or malfunction arises in the integrated circuit which uses the resistance element as an element etc. may be produced. Moreover, although the isolation oxide film used as a mask of an ion implantation is needed in forming a diffused resistor, the field for forming this oxide film for isolation and the routing counter for forming the oxide film for isolation increase.

[0012] Although there is a method of making the width of face of a resistance element increase, and reducing the effect of the error of process tolerance in order to control the error of the resistance by the error of the cross direction of these resistance elements, in order to acquire fixed resistance, it is necessary to increase the cross-sectional area of a resistance element, and, according to this approach, increase of a chip area and the rise of cost will be caused.

[0013]

[Problem(s) to be Solved by the Invention] As mentioned above, in the manufacture approach of the conventional polycrystalline silicon resistance or a diffused resistor, according to the error of the process tolerance, an error arises to the width of face of these

resistance elements, i.e., the cross section, and the trouble that an error arises is mainly in the resistance of the formed resistance element. For this reason, the cross-sectional area of a resistance element is made to increase, and although there is a method of reducing the effect of the error of process tolerance, there is a trouble of as a result causing increase of a chip area and the rise of cost.

[0014]

[Means for Solving the Problem] This invention offers the semiconductor device manufactured by this manufacture approach while offering the manufacture approach of a semiconductor device as shown below in order to solve the above-mentioned trouble. Namely, the semi-conductor substrate of the first conductivity type which has the second field for a start [adjoining], The first insulator layer formed on the semi-conductor substrate of said first field at least, The first resistance film formed on said first insulator layer, and the first diffusion layer of the second conductivity type formed in the semi-conductor substrate of said second field, The semiconductor device characterized by providing the resistance element which has a means to connect electrically said first resistance film and the ends of said first diffusion layer, and makes an input/output terminal the other end of said first resistance film and the other end of said first diffusion layer is offered. Moreover, the process which forms an insulator layer as the manufacture approach on the first field front face of the first conductivity-type semi-conductor substrate, The process which forms the resistance film on said insulator layer front face, and the process which introduces the second conductivity-type impurity and forms a diffusion layer by using said resistance film as a mask in the semi-conductor substrate in the second field of said semi-conductor substrate, The manufacture approach of the semiconductor device characterized by having the process which connects electrically the end of said resistance film and the end of said diffusion layer is offered.

[0015]

[Embodiment of the Invention] The manufacture approach of the example of this invention is explained hereafter, referring to a sectional view and a perspective view. As first shown in drawing 1 (a), the P type silicon substrate 11 in which the field 12 was formed N well is prepared. Next, on this substrate 11 front face, the oxide film 13 of about 100-1000nm of thickness is formed with the oxidizing [thermally] method, a CVD method, etc. In addition, this oxide film 13 is easy to be the same as that of the gate oxide formed in case other semiconductor devices on a substrate 11, for example, a transistor etc., are manufactured.

[0016] Then, as shown in drawing 1 (b), it is 100-500nm of thickness by a CVD method etc. on oxide-film 13 front face. The polycrystalline silicon 21 of extent is formed. Next, the positive type photoresist 22 is formed on polycrystalline silicon 21, and only the part which leaves polycrystalline silicon 21 exposes a resist 22 using the mask 23 for exposure which intercepts exposure light. As for the width of face of the resist 22 exposed here, it is desirable to suppose that it is comparable as the width of face of the part which leaves polycrystalline silicon 21. Moreover, when forming two or more polycrystalline silicon resistance, it is desirable to form these in parallel.

[0017] Then, as shown in drawing 1 (c), the exposed resist 22 is developed, and after forming the resist mask which is not illustrated, two or more polycrystalline silicon resistance 31 which has predetermined width of face is formed on an oxide film 13 by etching polycrystalline silicon 21 by the RIE method etc. using this resist mask, and

removing a resist mask. The width of face of this polycrystalline silicon resistance 31 is 4-50 micrometers. Extent and its die length are 10-5000 micrometers. It considers as extent.

[0018] Then, as shown in drawing 1 (d), the ion implantation of the impurity of an opposite conductivity type, for example, the B, is carried out to a substrate 11 in a substrate 11 by using polycrystalline silicon resistance 31 as a mask by acceleration energy 5 -100keV, and dose $1E13-5E15$ atoms and cm^{-3} . Under the present circumstances, an ion implantation is performed also during the polycrystalline silicon resistance 31.

[0019] Then, as shown in drawing 1 (e), a diffused resistor 41 is formed in the field of the substrate 11 with which the polycrystalline silicon resistance 31 is not formed on the front face by heat-treating. Of the above process, the polycrystalline silicon resistance 31 is formed on a substrate 11, and a diffused resistor 41 is formed in a substrate 11.

[0020] Then, although illustration is not carried out, after forming an interlayer insulation film on a substrate 11, a contact hole is formed in this interlayer insulation film or interlayer insulation film, and oxide film 13, and the end of the polycrystalline silicon resistance 31 and the end of the diffused resistor 41 under an adjoining field are wired with the electric conduction film.

[0021] Then, it is explained using the plan of drawing 2 that the manufacture approach of this invention and the effectiveness of a semiconductor device manufactured by that cause are about the connection method of the formed polycrystalline silicon resistance and a diffused resistor. In addition, in drawing 2, the same sign is attached about the same structure as drawing 1.

[0022] The polycrystalline silicon resistance 31 and the diffused resistor 41 formed in the bottom of the field which adjoins this polycrystalline silicon resistance 31 are used for the resistance element of this invention as a pair. That is, a terminal 51 is formed in the end of polycrystalline silicon resistance 31a, the other end of this polycrystalline silicon resistance 31a and the end of diffused-resistor 41a are electrically connected with a terminal 52, and a terminal 53 is formed in the other end of this diffused-resistor 41a. Therefore, as a resistance element, it connects with a serial and polycrystalline silicon resistance 31a and diffused-resistor 41a are used. The resistance of the resistance element formed by [, such as connecting a terminal 53 and a terminal 54 and using further, what, further in addition to this, connected to the serial polycrystalline silicon resistance 31b which adjoins these resistance, and diffused-resistor 41b with the terminal 55,] connecting adjoining polycrystalline silicon resistance and an adjoining diffused resistor to a serial can be chosen as arbitration in the phase of a design. In addition, these terminals 52-55 form a contact hole in an interlayer insulation film, and form it by embedding the electric conduction film at this contact hole.

[0023] About the resistance element connected as mentioned above, it has effectiveness as taken below. According to the conventional manufacture approach, there was a trouble that an error mainly arose to the width of face of a resistance element, i.e., the cross section, and an error arose in resistance according to the error of process tolerance. This mainly originates in the exposure precision and development precision of a photoresist. The error of the resistance of the resistance element produced according to the error of the process tolerance which originates in these in this invention can be reduced.

[0024] In drawing 2, width of face of the longitudinal direction in drawing of

polycrystalline silicon resistance 31a is set to W1, and width of face of the drawing longitudinal direction of diffused-resistor 41a is set to W2. When forming polycrystalline silicon resistance and the error of width of face arises on a resist mask, the error turns into an error of the width of face of polycrystalline silicon resistance. That is, an error may produce the width of face W1 of polycrystalline silicon resistance to the value designed as it is as becoming narrow **** [and]. [becoming large] On the other hand, a diffused resistor 41 is formed considering the polycrystalline silicon resistance 31 as a mask of an ion implantation. Therefore, when the error has arisen to the width of face W1 of polycrystalline silicon resistance, naturally an error arises also to the width of face W2 of a diffused resistor.

[0025] However, when the width of face W1 of the polycrystalline silicon film becomes larger than a desired value, the width of face W2 of the diffused resistor formed considering this as a mask becomes narrow unless an absolute area in which these resistance elements are formed changes. Moreover, the width of face W2 of the diffused resistor formed this and reversely considering this as a mask when the width of face W1 of the polycrystalline silicon film becomes narrow becomes large. That is, the value of the sum of W1 and W2 becomes always fixed even when an error arises in process tolerance.

[0026] Therefore, since the cross section of the diffused resistor used by this and the pair increases or decreases and resistance decreases or increases even if the cross section of polycrystalline silicon resistance decreases or increases according to the error of process tolerance and resistance increases or decreases from a desired value, the resistance of the sum total of the polycrystalline silicon film of these pairs and diffused resistor which are connected to a serial will offset the error of process tolerance, and will approach a desired value.

[0027] In addition, this effectiveness becomes remarkable, so that the resistance per unit volume of polycrystalline silicon resistance and a diffused resistor approaches an equal value. Moreover, also when the resistance per such unit volume differs, it has the effectiveness taken above. Moreover, it is more desirable to design equally the width of face of polycrystalline silicon resistance and the width of face of a diffused resistor.

[0028] Moreover, when the resistivity per unit deposition of polycrystalline silicon resistance differs from the resistivity per unit deposition of a diffused resistor, the error by the difference in resistivity can also be reduced by controlling the die length of some lengthwise directions of polycrystalline silicon resistance or a diffused resistor.

[0029]

[Effect of the Invention] The resistance element which can be made to reduce the error of the resistance of the resistance element produced according to the error of the process tolerance which originates in these in this invention although there was a trouble that an error mainly arose to the width of face of a resistance element, i.e., the cross section, according to the error of process tolerance according to the conventional manufacture approach, and an error arose in resistance, and is used into an integrated circuit can be formed with a sufficient precision with combination with diffused-resistor and polycrystalline silicon resistance. Therefore, troubles, such as malfunction of the integrated circuit by aggravation of the precision of a resistance element, are solvable.

[Translation done.]